



PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10294711

(43)Date of publication of application: 04.11.1998

(51)Int.Cl.

H04J 11/00

(21)Application number: 09103156

(22)Date of filing: 21.04.1997

(71)Applicant:

(72)Inventor:

JISEDAI DIGITAL TELEVISION HOSO SYST KENKYUSHO:KK

NOGAMI HIROSHI

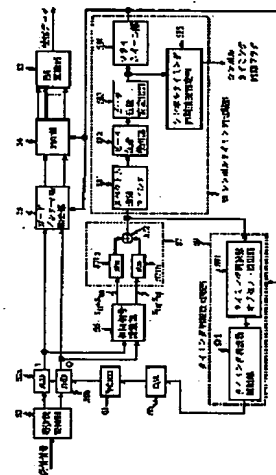
TSURUGA SADA0

(54) OFDM DEMODULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To correctly demodulate an orthogonal frequency division multiplex(OFDM) system in a system, where timing frequency synchronization and symbol timing synchronization are accurately and stably conducted even under noisy environment.

SOLUTION: A correlation signal calculating section 56 obtains a correlation signal from an OFDM reception signal a peak signal with a transmission symbol period T_s produced from the correlation signal is given to a spectral emphasis filter 581 that passes well a signal with a frequency $1/T_s$ and frequencies of an integral multiple of the frequency $1/T_s$, a peak position detection section 582 detects its peak position, a peak position stabilizing section 583 makes the peak position stable, and flywheel section 584 that generates a symbol timing synchronization signal is controlled by a stabilized position signal. Furthermore, a timing frequency offset detection section 591 employs an FIR filter, whose center tap coefficient is 0 and whose tap coefficients at the left/ right symmetrical positions are equal in absolute values and mutually opposite in sign to eliminate deviations in the timing frequency synchronization.



LEGAL STATUS

[Date of request for examination]

21.04.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2883866

[Date of registration]

05.02.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

5911の中心が一致していたと仮定する。すなわち、FIRフィルタ5911の出力がシンボルタイミング同期信号に保持されると、相関信号のピーク位置がFIRフィルタ5911の中心にあるとする。

【0068】このとき、変調値と復調値でタイミング同期信号が一致していること、図8(a)に示す通り、現在のOFDMシンボルの受信に際して、相関ピークがFIRフィルタ5911の中心に位置し、ずれることはない。このため、シンボルタイミング同期信号に保持されるFIRフィルタ5911の出力、すなわち、タイミング同期信号オフセット検出部591の出力は0となる。

【0069】もし、復調装置側のタイミング同期信号が変調装置側のそれより速く速くなると、図8(b)に示すように、僅かずつ相関信号のピーク位置がタップ係数 b_i の添え字1の負の方へずれていく。このため、添え字1が負のタップ係数が正($b_1 > 0, 1 < 0$)であれば、その出力は正となる。

【0070】逆に、もし、復調装置側のタイミング同期信号が変調装置側のそれより遅く遅くなると、図8(c)に示すように、僅かずつ相関信号のピーク位置がタップ係数 b_i の添え字1の正の方へずれていく。その出力は負となる。いずれの場合も、そのずれ量が大きいほど出力の絶対値が大きくなるため、この出力信号をタイミング同期信号オフセット信号として利用することができる。

【0071】以上が、タイミング同期信号オフセット検出部591の構成と動作の詳細である。このタイミング同期信号オフセット検出部591から出力されるタイミング同期信号をD/A変換部60によりD/A変換し、VCO61を制御するのであるが、より安定した動作をさせるため、主に低域を通過させるフィルタから構成されるタイミング同期信号オフセット検出部592により、この出力信号をフィルタリングしてからVCO61に供給するようにしている。

【0072】上述のように、復調側でのタイミング同期信号が変調側でのそれより遅い場合は、タイミング同期信号オフセット検出部592の出力信号は正となり、VCO61の発振周波数を増大させる方向へ制御が働く。また、逆に速い場合は、VCO61の発振周波数を減少させる方向へ制御が働く。このように、VCO61の発振周波数を制御することで、復調装置側でのタイミング同期信号を同期させることができる。

【0073】また、本発明におけるタイミング同期信号オフセット検出部591の構成は、本発明におけるスペクトル強調フィルタ581やピーク位置安定化部583を有さない従来のシンボルタイミング同期信号を用いる場合においても、タイミング同期信号オフセットを検出することができる。

【0074】次に、シンボルタイミング同期部58とタイミング同期信号オフセット検出部59の動作順序について説明す

けその位相がずれている。高、ここでは、簡単なためMを偶数としているが、奇数の場合はずれ量を(M-1)/2と(M+1)/2に分けられよい。

【0081】上記セレクト5817における相関信号A、Bの遅延信号及びメモリリフレッシュ信号A、Bは、タイマ部5818にて発生される。図10(a)～(d)に、それぞれM=8とした場合のタイマ部5818から出力される遅延信号、メモリリフレッシュ信号A、B、さらに遅延スペクトル強調フィルタ581の出力信号のタイミング波形を示す。

【0082】同図からわかるように、セレクト5817によって相関信号A、Bが強調されるタイミング及びメモリ5815a、5815bをリフレッシュするタイミングは、互いにM/2(=4)シンボル分だけずれている。

【0083】このように動作させることにより、先の構成と同じ程度にスペクトルの強調された相関ピーク信号を、その2倍の頻度であるM/2伝送シンボル毎に利用することができ、先の構成で示したスペクトル強調フィルタよりも安定したピーク位置検出を行うことができる。

【0084】この考え方を発展させると、1つのIIRフィルタにてMシンボル分毎の動作を行う場合(Mシンボル毎にその出力を使用する場合)には、最大M個のIIRフィルタを並列使用し、1シンボル分ずつシフトしたタイミングにてその出力を選択すればよい。これによれば、スペクトルの強調された相関ピーク信号を毎シンボルごとに使用することができるようになり、ピーク位置検出をさらに安定に行うことができる。

【0085】したがって、上記構成による第1の実施の形態におけるOFDM復調装置は、従来装置に比して、より安定したタイミング同期を行い、OFDM信号をより安定に復調することができる。

【0086】次に、本発明に係る第2の実施の形態におけるOFDM復調装置について説明する。図11は、本発明に係る第2の実施の形態におけるOFDM復調装置の構成を示すブロック図である。図11において、周波数変換部51、A/D変換部52a、52b、ガードインターバル除去部53、FFT部54、P/S変換部55、相関信号計算部56、シンボルタイミング同期部58、タイミング同期信号オフセット検出部59、D/A変換部60、VCO61は、図1に示した第1の実施の形態と同様である。

【0087】図11に示すOFDM復調装置は、図1に示した構成に加え、複素乗算器71、複調信号発生器(NCO)72、周波数制御部73、周波数オフセット検出部74、しきい値判定部75、相関信号処理部76から構成されている。

【0088】ここで、相関信号処理部76は、図1に示した相関信号処理部57の構成と同様に、 $S_{11} + S_{m1}$ 及

び $S_{1n} - S_{m1}$ の絶対値を計算する絶対値演算部(a b s)761a、761bと、その出力の加算を行う加算器762を備え、さらに加算器762の出力と相関信号計算部56から出力される $S_{11} + S_{m1}$ とをしい乗算判定部75の判定結果に基づいて選択的に出力する切り替えスイッチ763を備えている。

【0089】複素乗算器71、相関信号計算部56、周波数オフセット検出部74、周波数制御部73並びにNCO72は、全体で周波数同期制御(AFC)動作を行うものである。

【0090】すなわち、周波数オフセット検出部74は相関信号計算部56からの出力 $S_{11} + S_{m1}$ 並びに $S_{1n} - S_{m1}$ を入力とし、周波数変換部51などにより生じた周波数オフセットを伝送シンボル毎に計算し、周波数制御部73へ出力する。周波数制御部73はこの周波数オフセットが0になるように、NCO72への入力信号を制御し、NCO72の出力である周波数変換部の発振周波数をA/D変換部52a、52bの出力に供給すること、この周波数オフセット検出部74の出力は同時にしきい値判定部75へも出力される。

【0091】本第2の実施の形態では、この周波数オフセット検出部74の出力値により、相関信号制御部76における信号処理方法を切り替えるものである。つまり、しきい値判定部75において、その入力の絶対値があるしきい値(例えばOFDMキャリア間隔の1%)以上のとき、相関信号処理部76の切り替えスイッチ763を相関信号の絶対値 $|S_{11} + S_{m1}| + |S_{1n} - S_{m1}|$ (図11における下欄)に設定し、前記入力の絶対値がそのしきい値以下のとき(あるいは、一定時間以上、そのしきい値以下のとき)、切り替えスイッチ763を $S_{11} + S_{m1}$ (図11における上欄)側に設定するものである。

【0092】一般に、周波数オフセット Δf がある場合には、相関信号計算部56の出力である $S_{11} + S_{m1}$ 並びに $S_{1n} - S_{m1}$ はそのピークの正負及び大小が、その周波数オフセット Δf に依存する($\Delta f = \text{carrier}$ 、 $|S_{1n} - S_{m1}| / (S_{11} + S_{m1})$)。このため、周波数同期が調整される前では、相関信号 $S_{11} + S_{m1}$ と $S_{1n} - S_{m1}$ のそれぞれの絶対値 $|S_{11} + S_{m1}| + |S_{1n} - S_{m1}|$ を利用し、ピーク検出を行う。

【0093】しかしながら、周波数オフセットがほぼ0に近くなった状態では、 $S_{11} + S_{m1}$ のみは正方向のピークが現れるため、絶対値を利用する必要がなく、また、 $S_{1n} - S_{m1}$ を利用する必要もなくなる。特に、相関信号の絶対値をとった信号 $(|S_{11} + S_{m1}| + |S_{1n} - S_{m1}|)$ では、スペクトル強調フィルタ581の出力が、雑音成分などによって不要な付随バイアス等を含むようになる場合がある。

【0094】そこで、本第2の実施の形態である図11のOFDM復調装置においては、周波数同期制御がほぼ完了した時点で、切り替えスイッチ763を上記の通り制御して、相関信号の絶対値和 $|S_{ii} + S_{ii}^*| + |S_{iq} - S_{iq}^*|$ から絶対値をとらない $S_{ii} + S_{ii}^*$ のみをスペクトル強調フィルタ581に供給するように切り替える。これにより、上記の不要な直流バイアス等が生じないように、ピーク位置検出部(582)の動作特性を良好にすることができるようになる。

【0095】尚、他の部分の動作並びに動作は、第1の実施の形態に示されるOFDM復調装置と同様である。また、スペクトル強調フィルタ581は、図3に示される第1の構成例、図9に示される第2の構成例のいずれでもよい。さらに、その周波数対振利特性が、図4に示されるような、基本周波数 $1/(N+Ng)$ のT_T及びその高調波を通過させる特性を持つならば、FIR型のフィルタである必要はなく、FIR型でも有効である。

【0096】また、第2の実施の形態におけるOFDM復調装置の周波数オフセット検出部には、相関信号を利用するものを例示したが、もちろん他の構成による周波数オフセット検出手段を用いてもよい。

【0097】また、図1、図11に示した各実施の形態の構成においては、571a、571b、761a、761bを絶対値検出部としたが、これを絶対値の n 乗($n>0$)と置き換えてもほぼ同様の効果が得られる。その一例として、 $n=2$ の場合の2乗演算があげられる。

【0098】さらに、本発明の実施の形態では、ベースバンド部に周波数変換されたI、Q信号をA/D変換してデジタルのベースバンド信号を得る場合を対象としたが、RF帯やIF帯において、A/D変換された信号をデジタル信号処理にて周波数変換し、デジタルのベースバンド信号を得る場合にも本発明は適用できる。その他、本発明は、種々の変形が可能であることはいうまでもない。

【0099】
【発明の効果】以上のように、本発明によれば、タイミング周波数同期並びにシンボルタイミング同期を正確に安定に行うことができ、OFDM信号を雑音下でも正しく復調できるOFDM復調装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明に係る第1の実施の形態におけるOFDM復調装置の構成を示すブロック図。
【図2】 図1に示すOFDM復調装置の相関信号処理部の具体的な構成を示すブロック図。
【図3】 図1に示すOFDM復調装置のスペクトル強調フィルタの第1の具体的な構成を示すブロック図。
【図4】 図3に示すスペクトル強調フィルタ(11

Rフィルタ)の周波数対振利特性を示す特性図。
【図5】 図3に示すスペクトル強調フィルタの動作を説明するためのタイミング図。
【図6】 図1に示すOFDM復調装置のピーク位置安定化部の具体的な構成を示すブロック図。
【図7】 図1に示すOFDM復調装置のタイミング周波数オフセット検出部の具体的な構成を示すブロック図。

【図8】 図7に示すタイミング周波数オフセット検出部の動作を説明するためのタイミング図。
【図9】 図1に示すOFDM復調装置のスペクトル強調フィルタの第2の具体的な構成を示すブロック図。
【図10】 図9に示すスペクトル強調フィルタの動作を説明するためのタイミング図。

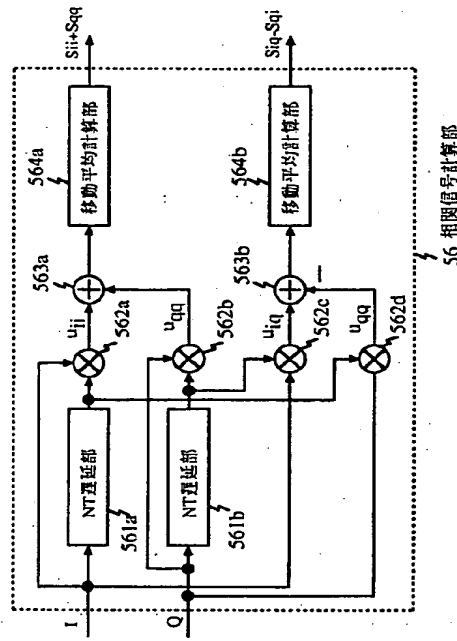
【図11】 本発明に係る第2の実施の形態におけるOFDM復調装置の構成を示すブロック図。
【図12】 従来の技術を説明するためのOFDM放送シンボルの構成を示す構成図。
【図13】 従来のOFDM復調装置の構成を示すブロック図。
【図14】 従来のOFDM復調装置の構成を示すブロック図。

【図15】 従来のOFDM復調装置に用いられるシンボルタイミング同期部の構成を示すブロック図。
【図16】 従来のOFDM復調装置に用いられる相関器の入力信号とその相関出力信号の関係を説明するためのタイミング図。
【符号の説明】

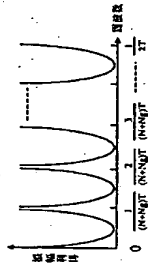
- 11...S/P変換部
- 12...IFFT部
- 13...ガードインターバル付加部
- 14a、14b...D/A変換部
- 15...周波数変換部
- 16...基本タイミング発生部
- S...伝送シンボル
- S1...ガードインターバル
- S2...有効シンボル
- 21...周波数変換部
- 22a、22b...A/D変換部
- 23...ガードインターバル検出部
- 24...FFT部
- 25...P/S変換部
- 26...シンボルタイミング同期検出部
- 31、32...遅延回路
- 33、34...相関器
- 35...ガードタイミング検出面路
- 36、37...2乗回路
- 38...加算器
- 39...LPF
- 40...ピーク抽出回路

- 41...判定回路
- 42...フライホイール回路
- 51...周波数変換部
- 52a、52b...A/D変換部
- 53...ガードインターバル検出部
- 54...FFT部
- 55...P/S変換部
- 56...相関信号計算部
- 561a、561b...有効シンボル長遅延部
- 562a~562d...乗算器
- 563a、563b...加算器
- 564a、564b...移動平均計算部
- 57...相関信号処理部
- 571a、571b...絶対値検出部
- 58...シンボルタイミング同期部
- 581...スペクトル強調フィルタ
- 5811...伝送シンボル遅延メモリ
- 5812...加算器
- 5813...スイッチ
- 5814...タイマ部
- 5815a、5815b...伝送シンボル遅延メモリ
- 5816a、5816b...加算器
- 5817...セレクタ
- 5818...タイマ部
- 582...ピーク位置検出部
- 5831...増幅器
- 5832...加算器
- 5833...遅延部
- 5834...増幅器
- 584...フライホイール部
- 585...シンボルタイミング同期制御部
- 59...タイミング周波数同期部
- 591...FIRフィルタ
- 592...遅延部
- 593...遅延部
- 594...遅延部
- 595...遅延部
- 596...遅延部
- 597...遅延部
- 598...遅延部
- 599...遅延部
- 60...D/A変換部
- 61...VCXO
- 71...乗算器
- 72...NCO
- 73...周波数制御部
- 74...周波数オフセット検出部
- 75...しきい値判定部
- 76...相関信号処理部
- 761a、761b...切り替えスイッチ
- 762...加算器
- 763...切り替えスイッチ

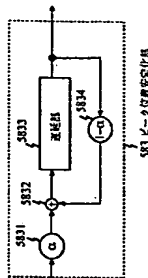
【図2】



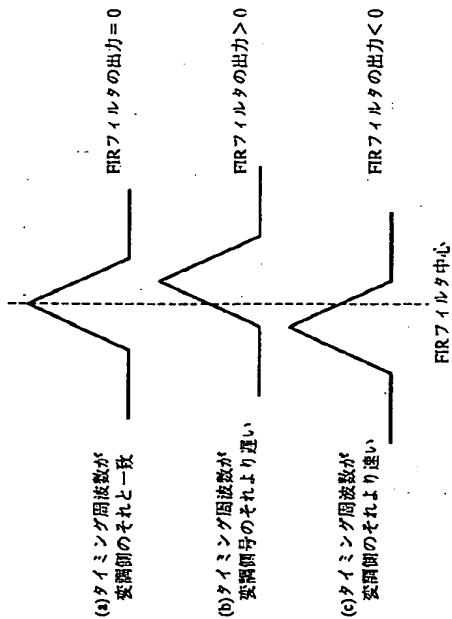
【図4】



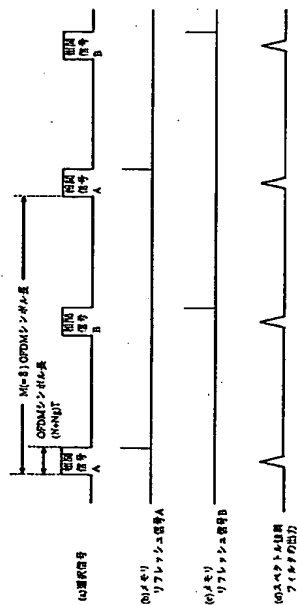
【図6】



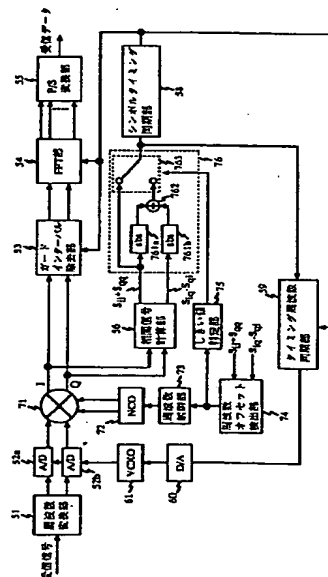
【図8】



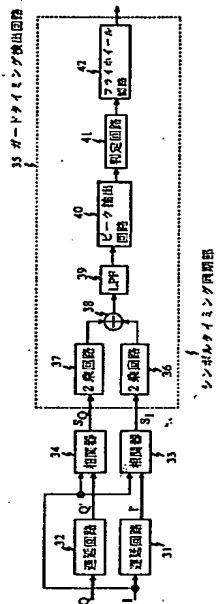
【図10】



【図11】



【図15】



【図16】

